

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL  
STATUS

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-184927

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H01L 23/50  
H01L 21/56

(21)Application number : 2000-385832

(71)Applicant : MITSUI HIGH TEC INC

(22)Date of filing : 19.12.2000

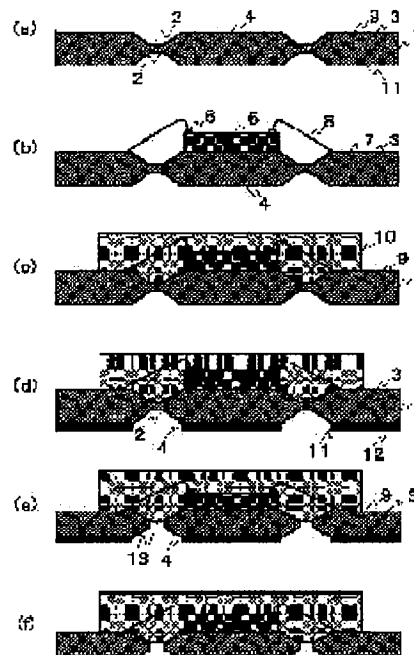
(72)Inventor : MICHIOYOSHI YUICHI

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the manufacturing method of a semiconductor device whose cost can be reduced and manufacture time can be shortened, by stabilizing the flatness of a lead and a pad and saving a work process for removing resin stuck to an exposure face.

**SOLUTION:** A semiconductor chip loading part and the lead of a lead frame are formed on a substrate by using a non-through groove. A semiconductor chip and the like are arranged and are resin-sealed. Then, the non-through groove is pierced and the semiconductor device is formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184927

(P2002-184927A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 23/50

識別記号

21/56

F I

H 0 1 L 23/50

21/56

テマコト<sup>\*</sup>(参考)

G 5 F 0 6 1

A 5 F 0 6 7

R

T

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願2000-385832(P2000-385832)

(22) 出願日

平成12年12月19日 (2000.12.19)

(71) 出願人 000144038

株式会社三井ハイテック

福岡県北九州市八幡西区小嶺2丁目10-1

(72) 発明者 道喜 裕一

福岡県北九州市八幡西区小嶺2丁目10番1号  
株式会社三井ハイテック内

(74) 代理人 100071054

弁理士 木村 高久

Fターム(参考) 5F061 AA01 BA01 CA21 CB13 DD13

EA03 EA16

5F067 AA01 AA09 AB04 BB08 BC13

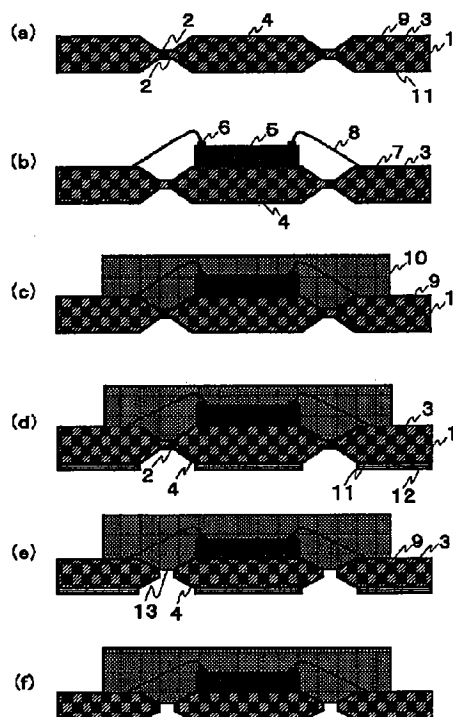
CC03 CC07 DA17 DA18 DE18

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】本発明は、リードおよびパッドの平坦度の安定を図ると共に、露出面に付着した樹脂を除去するための作業工程を省略することにより、コストの低減および製造時間の短縮を図ることが可能な半導体装置の製造方法を提供することを目的とする。

【解決手段】基板上に非貫通溝を用いて半導体チップ搭載部およびリードフレームのリードを形成し、半導体チップ等を配設、樹脂封止した後、非貫通溝を貫通させて半導体装置を形成する。



**【特許請求の範囲】**

【請求項 1】 基板の両面から該基板の所定の位置を所定量除去し、非貫通溝で囲まれたリード及び半導体チップ搭載部を形成する工程と、

前記半導体チップ搭載部に半導体チップを搭載し、かつ前記リードと該半導体チップとを電気的に接続する工程と、

前記基板の半導体チップ搭載面を樹脂を用いて樹脂封止する工程と、

前記樹脂封止の後、前記非貫通溝を貫通させて前記リード及び前記半導体チップ搭載部を形成する工程とを有する半導体装置製造方法。

【請求項 2】 基板の両面から該基板の所定の位置を所定量除去し、非貫通溝で囲まれたリードを形成する工程と、

前記リード上に半導体チップを搭載し、かつ前記リードと該半導体チップとを電気的に接続する工程と、

前記基板の半導体チップ搭載面を樹脂を用いて樹脂封止する工程と、

前記樹脂封止の後、前記非貫通溝を貫通させて前記リードを形成する工程とを有する半導体装置製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、リードの露出面に樹脂バリが形成されることを防止することが可能な半導体装置の製造方法に関する。

**【0002】**

【従来の技術】近年、半導体装置の小型化および薄型化に伴い、半導体チップ搭載部（パッド）およびリードがパッケージの下面に露出した構造の半導体装置（図 6 参照）が提案されている。

【0003】この構造の半導体装置は、図 5 に示すような以下に説明する方法を用いて、従来は形成されていた。

【0004】まず、金属製の基板にパターニングを施し、図 5（a）に示すように、リードフレームのリード 3 および半導体チップ搭載部（パッド）4 を形成する。

【0005】そして、図 5（b）に示すように、半導体チップ搭載部 4 上に、Ag ペーストなどの接着剤を介して半導体チップ 5 を搭載し、半導体チップ 5 の電極 6 とリード 3 のボンディング部 7 とを、Au、Al 等からなるボンディングワイヤ 8 を用いてボンディングを行い、半導体チップ 5 とリード 3 とを電気的に接続する。

【0006】ここで、図 5（c）に示すように、半導体チップ搭載部 4 およびリード 3 の半導体チップ搭載面 9 をエポキシ樹脂等を用いて樹脂封止し、パッケージ 10 を形成する。その後、樹脂封止の際に、各リード間等から裏面 11 に漏れた樹脂により、リード 3 および半導体チップ搭載部 4 の露出面に形成された樹脂バリ 16 をブ

ラスト等を用いて除去する。

【0007】そして、図 5（d）に示すように、半導体チップ搭載部 4 およびリード 3 の露出面を露出させ、この露出面に貴金属等を用いてめっきを施し、図 6 に示すように、半導体チップ搭載部およびリードフレームがパッケージの下面に露出した構造の半導体装置を製造していた。

**【0008】**

【発明が解決しようとする課題】しかし、従来の方法によれば、リードおよびパッドの形成を行った後に、一連の組立工程を行なうため、リードおよびパッドの平坦度が不安定であった。

【0009】また、リード及び半導体チップ搭載部の形状形成を樹脂封止工程の前に行うので、樹脂封止工程の際に、各リード間等から漏れた樹脂がリードおよびパッドの露出面に付着し、露出面にめっきを施すことが困難となるという問題が発生していた（図 7 参照）。

【0010】このため、樹脂封止を行う際にリードの露出面をマスキングテープ等で覆い、樹脂バリの形成を防止する工程や、ブラスト等を用いて露出面に付着した樹脂バリを除去する工程など、樹脂バリの形成防止や除去を行うための工程が必要となり、半導体装置の製造コストや製造時間を抑えることが困難であった。

【0011】そこで本発明では、リードおよびパッドの平坦度の安定を図ると共に、露出面に付着した樹脂を除去するための作業工程を省略することにより、コストの低減および製造時間の短縮を図ることが可能な半導体装置の製造方法を提供することを目的とする。

**【0012】**

【課題を解決するための手段】本発明の半導体装置製造方法では、基板の両面から該基板の所定の位置を所定量除去し、非貫通溝で囲まれたリード及び半導体チップ搭載部を形成する工程と、前記半導体チップ搭載部に半導体チップを搭載し、かつ前記リードと該半導体チップとを電気的に接続する工程と、前記基板の半導体チップ搭載面を樹脂を用いて樹脂封止する工程と、前記樹脂封止の後、前記非貫通溝を貫通させて前記リード及び前記半導体チップ搭載部を形成する工程とを有する。

【0013】この構成では、樹脂封止の後には非貫通溝を貫通させるため、リード及び半導体チップ搭載部の平坦度が安定すると共に、樹脂バリの形成を防止することができる。

【0014】また、請求項 2 記載の発明では、基板の両面から該基板の所定の位置を所定量除去し、非貫通溝で囲まれたリードを形成する工程と、前記リード上に半導体チップを搭載し、かつ前記リードと該半導体チップとを電気的に接続する工程と、前記基板の半導体チップ搭載面を樹脂を用いて樹脂封止する工程と、前記樹脂封止の後、前記非貫通溝を貫通させて前記リードを形成する工程とを有する。

【0015】この構成では、樹脂封止の後に非貫通溝を貫通させるため、リード間からの樹脂漏れによる樹脂バリの形成を防止すると共に、リードの平坦度が安定するため、リード上に半導体チップを安定して搭載することができる。

【0016】なお、レーザーを用いて前記非貫通溝を貫通させることにより、基板裏面にレジストを形成、除去する工程を省くことができる。

【0017】

【発明の実施の形態】以下、本発明に係わる半導体装置の製造方法を図面を参照して詳細に説明する。

【0018】図1は、第1の実施の形態における半導体装置の製造工程を示す断面図である。

【0019】まず、図1(a)に示すように、銅からなる導電性基板1の半導体チップ搭載面9および半導体チップ搭載面9の裏面11にハーフエッチングを施し、非貫通溝2を用いてリードフレームのリード3および半導体チップ搭載部4を形状加工する。

【0020】そして、図1(b)に示すように、半導体チップ搭載部4にAgペーストなどの接着剤を介して半導体チップ5を搭載し、半導体チップ5の電極6とリード3のボンディング部7とをAu、Al等からなるボンディングワイヤ8を介して電氣的に接続する。

【0021】ここで、図1(c)に示すように、基板1の半導体チップ搭載面9をエポキシ樹脂等を用いて樹脂封止し、パッケージ10を形成する。

【0022】樹脂封止の後、図1(d)に示すように、半導体チップ搭載面9の裏面11の非貫通溝2を除いた領域にレジスト12を形成する。

【0023】そして、図1(e)に示すように、非貫通溝2を裏面11からエッチングして貫通溝13を形成し、リード3と半導体チップ搭載部4を分断すると共に、図示しない各リードを形成する。

【0024】その後、図1(f)に示すように、レジスト12を除去して、半導体装置が製造される。

【0025】なお、本実施の形態では、レジストを形成した後にエッチングを施して貫通溝を形成しているが、例えばレーザー等を用いて選択的に非貫通溝を貫通させる方法を用いることもできる。

【0026】また、この構成ではレジストの形成および除去の工程を省略することができるため、一層のコストの低減および製造時間の短縮を図ることができる。

【0027】図2は、本発明に係わる半導体装置製造方法における第2の実施の形態の半導体装置の製造工程を示す断面図である。

【0028】まず、図2(a)に示すように、導電性基板1の半導体チップ搭載面9および半導体チップ搭載面9の裏面11にハーフエッチングを施し、非貫通溝2を用いてリード3および半導体チップ搭載部4を形状加工する。

【0029】そして、図2(b)に示すように、半導体チップ搭載部4に接着剤を介して半導体チップ5を搭載し、半導体チップ5の電極6とリード3のボンディング部7とをボンディングワイヤ8を介して電氣的に接続する。

【0030】ここで、図2(c)に示すように、基板1の半導体チップ搭載面9を樹脂封止し、パッケージ10を形成する。

【0031】樹脂封止の後、図2(d)に示すように、半導体チップ搭載面9の裏面11から基板1の全面をエッチングして、図2(e)に示すように、貫通溝13を形成し、リード3と半導体チップ搭載部4を分断すると共に、図示しない各リードを形成する。

【0032】なお、本実施の形態では、基板裏面全面をエッチングして貫通溝を形成しているが、例えばレーザー等を用いて選択的に非貫通溝を貫通させるなどの方法を用いることもできる。

【0033】図3は、本発明に係わる半導体装置製造方法における第3の実施の形態の半導体装置の製造工程を示す断面図である。

【0034】まず、図3(a)に示すように、銅からなる薄板14の半導体チップ搭載面9の半導体チップ搭載部4となる所定の位置に接着剤を介して半導体チップ5を搭載し、半導体チップ5の電極6とリード3のボンディング部7となる所定の位置とをボンディングワイヤ8を介して電氣的に接続する。

【0035】そして、図3(b)に示すように、薄板14の半導体チップ搭載面9を樹脂封止して、パッケージ10を形成し、図3(c)に示すように、半導体チップ搭載面9の裏面11から、リード3及び半導体チップ搭載部4を導電性接着剤15を介して薄板14に接着する。

【0036】この後、図3(d)に示すように、リード3および半導体チップ搭載部4に沿って裏面11から薄板14をエッチングして、半導体装置を形成する。

【0037】ここで、エッチングに代えてレーザー等を用いて非貫通溝を貫通させるように構成することもできる。

【0038】なお、上記各実施の形態では基板及び薄板の材料として銅を用いているが、例えばNi—Fe合金など、エッチング可能な導電性材料を用いることができる。

【0039】また、図4に示すように、半導体チップ搭載部を設けず、リードフレームのリード3の上に半導体チップ5を搭載する構造の半導体装置に用いることもできる。

【0040】

【発明の効果】本発明では、配線パターン及び半導体チップ搭載部を最後に分離するため、リード及び半導体チップ搭載部の平坦度が安定すると共に、樹脂バリの形成

を防止することができる。

【0041】また、リード及び半導体チップ搭載部の形成は、非貫通溝を分断するだけでよいため、生産性が良好であり、さらに、リードが封止樹脂の下面から突出して形成できるため、実装性が良好である。

【図面の簡単な説明】

【図1】第1の実施の形態における半導体装置の製造工程を示す断面図

【図2】第2の実施の形態における半導体装置の製造工程を示す断面図

【図3】第3の実施の形態における半導体装置の製造工程を示す断面図

【図4】本発明における半導体装置の構造の一例を示す断面図

【図5】従来技術における半導体装置の製造工程を示す断面図

【図6】従来技術における半導体装置を示す断面図

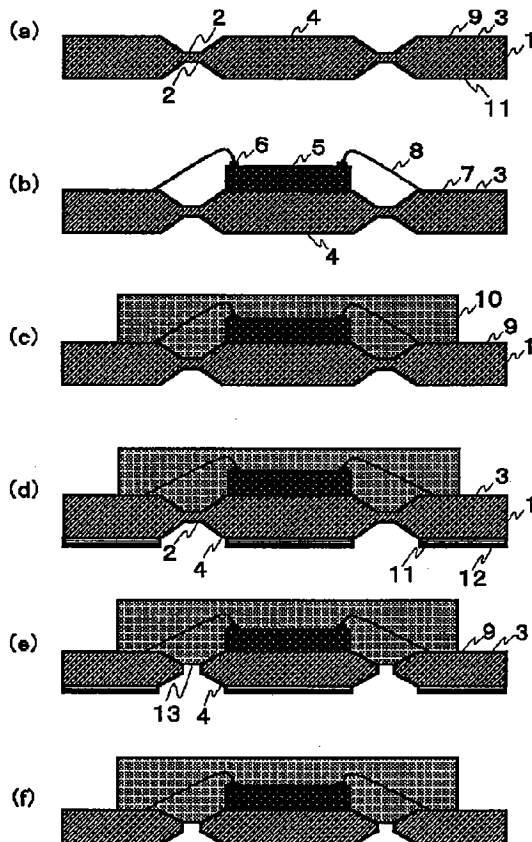
【図7】従来技術における半導体装置の裏面を示す平面

図

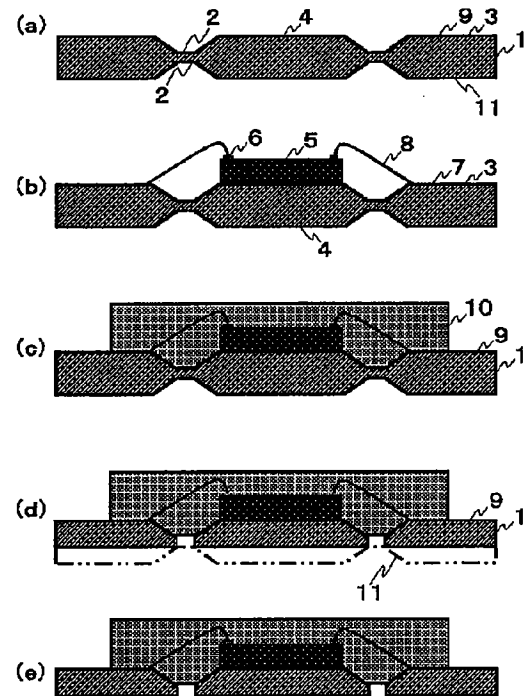
【符号の説明】

- 1…導電性基板
- 2…非貫通溝
- 3…リード
- 4…半導体チップ搭載部
- 5…半導体チップ
- 6…電極
- 7…ボンディング部
- 8…ボンディングワイヤ
- 9…半導体チップ搭載面
- 10…パッケージ
- 11…裏面
- 12…レジスト
- 13…貫通溝
- 14…薄板
- 15…導電性接着剤
- 16…樹脂バリ

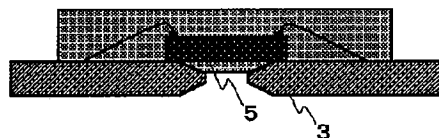
【図1】



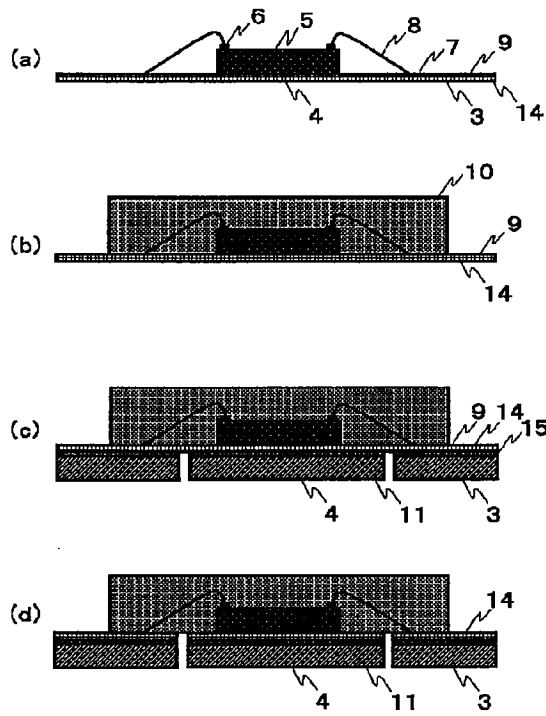
【図2】



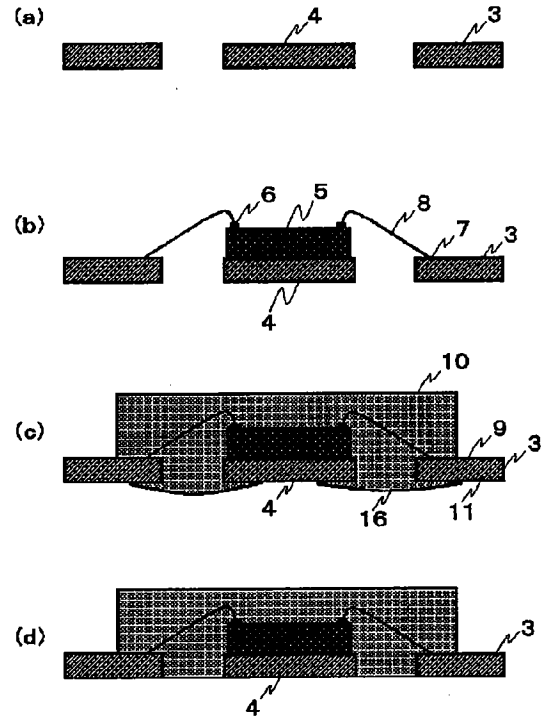
【図4】



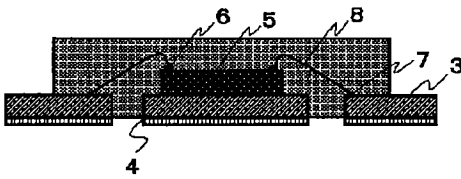
【図3】



【図5】



【図6】



【図7】

